

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

H01L 29/772

(11) 공개번호 특1998-069876

(43) 공개일자 1998년10월26일

(21) 출원번호	특1997-037519
(22) 출원일자	1997년08월06일
(30) 우선권주장	8/795,155 1997년02월07일 미국(US)
(71) 출원인	내셔널세미컨덕터코오포레이션 클라크 3 세존옴 미국 캘리포니아주 95051-8090 산타 클라라 메일 스톤 디3-579세미컨덕터 드라이브 2900
(72) 발명자	후앙로버트와이에스 미국 플로리다주 34761 오소에 블랙잭 오우크 스트리트 2236 엘디와니모너 미국 캘리포니아주 95070 사라토가 알더 코트 13480
(74) 대리인	박해선, 조영원

심사청구 : 있음

(54) 저전압 촉방 DMOS 장치의 드레인 신장부

요약

영역이 드레인에서 신장되어 게이트와 자체 배열되는 MOSFET 장치가 개시된다. 이 영역은 드레인의 농도 보다 낮은 도펀트 농도를 갖는다. 신장부의 존재 때문에 장치에 대한 과도한 저항을 부가시키지 않으면서 브레이크다운 전압을 실질상 향상시킨다.

대표도

도8

영세서

도면의 관한 설명

도 1 내지 도 5 는 종래기술의 LDMOS 장치를 도시하는 단면도이다.

도 6 은 본 발명에 따른 장치를 도시하는 개략단면도이다.

도 7 은 종래의 LDMOS 장치에 있어서의 2 차원 도펀트 분포를 도시하는 그래프이다.

도 8 은 도 6 으로 대표되는 본 발명에 따른 LDMOS 장치에 있어서의 2 차원 도펀트 분포를 도시하는 그래프이다.

도 9 는 본 발명에 따른 LDMOS 장치의 또 다른 실시예에 있어서의 2 차원 도펀트 분포를 도시하는 그래프이다.

도 10 내지 도 12 는 종래의 LDD (lightly doped drain) 장치, 장치 길이가 1 마이크로인 LDMOS 장치, 및 LDD 를 이식시키지 않고서 1 마이크로인 신장부를 각각 구비한 LDMOS 장치용의 기판과 게이트 사이의 인터페이스를 따라 수직 도핑 외형을 도시하는 도면이다.

도 13 은 도 10 내지 도 12 에 있어서 LDMOS 장치용의 브레이크다운 전압에 관하여 실험성능을 도시하는 그래프이다.

*** 도면의 주요부분에 대한 부호의 설명 ***

80 : MOSFET 장치	82 : N ⁺ 층
84 : P 형 반도체 기판	86 : 드레인
88 : 소스	92 : 채널
94 : 게이트 전극	95 : 게이트 산화물
97 : 스페이서	98 : 신장부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 개선된 브레이크다운 전압과 저항 특성을 갖는 저전압 측방 DMOS 장치에 관한 것이다. 특히, 본 발명은 드레인 신장부를 갖는 저전압 측방 DMOS 장치에 관한 것이다.

칩의 파워 직접회로 크래시를 위하여, 서로 다른 특성을 갖는, 수평 DMOS, 저전압 측방 DMOS 및 고전압 측방 DMOS 장치 등의 사용 가능한 여러 가지의 수직 DMOS 가 있다. 이들 장치에서 파워 손실을 최소화하기 위하여, 트랜지스터는 상대적으로 낮은 저항 (R_{DS}) 에서 작동하는 것이 바람직하다. 또한, 장치와 회로를 보호하기 위하여, 상대적으로 높은 브레이크다운 전압 (BV) 을 갖는 것이 바람직하다. 그러나, 브레이크다운 전압 요건은 낮은 R_{DS} 을 달성하기 위한 그 요건과는 반대이다.

도 1 에 도시된 바와 같은 종래의 측방 DMOS (LDMOS) 장치 (10) 에 있어서, 채널랜시 항복 (breakdown) 을 일으키는 최고의 전기장은 게이트 (12) 와 드레인 (14) 사이의 인터페이스에서 보통 발생한다. 이 위치에서 최대 전기장을 낮추고, 동시에 브레이크다운 전압을 유지하기 위하여 보다 균일하게 전기장 외형을 퍼지게 하는 것이 바람직하다. 1992. 5. 19 일에 개최된 일본 동경 와세다대학의 파워 반도체 장치 및 IC (페이지 150 - 154) 에 대한 제 4 차 국제 심포지움의 기록에는, 모리자와 등이 도 2 에 도시된 30 볼트 브레이크다운 전압과 0.075 Ωmm^2 저항 LDMOS 장치 (20) 를 기술하고 있다. 상기 장치 (20) 는 브레이크다운 전압을 증가시키기 위하여 언급된 바이어스 (bias) 를 산출하도록 드레인 (24) 아래의 깊은 N 웰 (22) 과 알루미늄 필드판 (26) 을 포함한다.

후지타 및 미즈비시 덴키 가부시끼가이사가 출원한 영국 특허출원번호 GB 2277406A 는 드레인 영역 (14) 에 인접한 약하게 도핑된 드레인 (32) 을 갖는 이중 확산층 MOSFET (30) 가 개시되어 있다 (도 3 참조). 높은 문턱값을 설정하기 위하여 불순물 확산층이 기판 보다 상대적으로 높은 불순물 농도를 갖는다 하더라도, 불순물 확산층 (34) 과 기판 (36) 양자는 P 형이다.

미국 특허번호 제 4,300,150 호에는 도 4 에 도시된 바와 같이 p/n 형 기판 (44) 내에 내장된 p/n 형 필드형 반도체층 (42) 을 포함하는 LDMOS 장치 (40) 가 개시되어 있다. 층 (42) 은 기판 (44) 보다 높은 도펀트 농도를 가진다. 기판 (44) 과 채널 (46) 사이의 p/n 연결부 (48) 에 인접한 전기장 밀도를 낮추기 위하여, 다른 한편으로는, 소스 (50) 와 드레인 (52) 사이에서 장치 (40) 내로 보다 균일한 전기장 분배를 달성하기 위하여 드레인 (52) 에 인접한 전기장 밀도를 증가시키기 위해 층 (42) 은 채널 영역 (46) 과 이격되어 있다. 필드형 반도체층 (42) 은 기판 (44) 내에 내장되어 소스 (50) 와 드레인 (52) 사이의 기판 (44) 일부와 채널 (46) 아래로 신장한다. 일 실시예에서, 필드형 반도체층은 측면 드레인 (52) 을 따라서 그리고 드레인으로부터, 접촉하고 있지는 않지만 채널 (46) 쪽으로 신장하는 에피택셜층 (45) 의 표면 인접 영역에서 표면층 (43) 을 형성시킨다.

도 5 에 도시된 바와 같이, Hsu 에 의해 출원되어 RCA corp. 에 양수된 미국 특허번호 제 4,232,327 호 및 제 4,318,216 호는 반도체 몸체 (70) 의 채널영역 (68) 내에 소스 (62), 드레인 (64) 및 소위 드리프트 영역 (66) 양자가 형성된 MOSFET 장치 (60) 가 개시되어 있다. 드리프트 영역 (66) 은 이식에 의해 형성되고 게이트 (72) 와 정렬된 다음 소스와 드레인 영역 (62, 64) 이 형성된다.

발명이 이루고자 하는 기술적 과제

본 발명은 제 1 도전형을 갖는 층과, 소스는 제 1 도전형과 반대의 제 2 도전형을 갖는 채널 영역내에 형성되고, 드레인층은 층내에 형성되어 소스와 이격된, 에피택셜층의 표면에 있는 드레인층과 소스 (제 1 도전형의 양자) 와, 층 표면에서 채널 위에 놓이고 소스와 배열되는 게이트와, 드레인층의 강하게 도핑된 영역과 게이트 사이에서 신장하면서 게이트와 배열되는 층내에 형성되고, 소스 (및 드레인) 의 농도와 층의 농도 사이의 도펀트 농도와 함께, 제 1 도전형을 갖는 영역을 포함하는 MOSFET 장치를 제공함으로써 종래기술의 상기 및 기타 문제를 해결하는데 있다.

본 발명은 또한, 제 1 도전형을 갖는 반도체 기판의 표면상의 절연층 위에 게이트를 형성하는 단계와, 제 1 도전형과 반대의 제 2 도전형을 갖는 기판을 기판상에 형성하는 단계와, 채널내에 제 1 도프 영역을 형성하고 기판내에 제 2 도프 영역을 형성하며, 제 1 및 제 2 도프 영역은 제 1 도전형과 가지며 제 2 도프 영역은 기판내의 농도 보다 높은 도펀트 농도를 가지며, 제 1 및 제 2 도프 영역은 상호간 이격되어 각각 게이트의 단부와 함께 배열되는 단계와, 소스는 제 1 도프 영역내의 농도 보다 높은 제 1 도전형의 도펀트 농도를 가지며 제 2 도프 영역은 소스 (또는 드레인) 의 농도와 층의 농도 사이의 제 2 도전형의 도펀트 농도를 갖는, 제 1 도프 영역을 채널내의 소스로 변환시켜서 제 2 도프 영역까지 신장하는 기판내에 드레인을 신장하도록 이식하는 단계를 포함하는 신장된 드레인 필드 효과형 트랜지스터 형성 방법을 제공하는데 있다.

발명의 구성 및 작용

본 발명은 일반적으로 드레인상에 신장부를 갖는 MOS 트랜지스터에 관한 것이다. 신장부는 지나치게 높은 저항없이 최적의 브레이크다운 전압 특성을 위해 선택된 길이, 도핑 외형 및 이식을 종류를 갖는다.

본 발명에 따른 LDMOS 장치에서는 신장부 길이, 도핑농도와 도핑물 형태의 적절한 선택에 의해 적절한 브레이크다운 전압과 저항 특성이 달성된다.

본 발명에 따른 견본적인 LDMOS 장치는 도 6 에 도시되어 있다. 도 6 에서, MOSFET 장치 (80) 는 N⁺ 내장층 (82) 상에 형성된 에피택셜층 (82) 과, P 형 반도체 기판 (84) 을 포함한다. N⁺ 층은 장치 찌그러짐을 개선하는데 사용될 수 있다.

드레인 (86) 과 소스 (88) 는 층 (82) 의 상면 (90) 과 동일선상에 있다. 소스 (88) 는, 층 (82) 으로서 하나 이상의 도펀트 종류를 포함할 수 있지만, 층 (82) 내의 채널 (92) (여기서는 P-몸체 라고 칭한다) 내에 형성된 동일 도전형을 갖는다. 채널 (92) 은 소스 (88) 및 기판 (84) 과 반대의 도전형을 갖는다. 드레인 (86) 은 층 (82) 내에 형성되어 층과 동일한 도전형을 가지지만, 층 보다 높은 도펀트 농도를 갖는다. 소스 (88) 는 기판 (84) 과 반대의 도전형을 갖는다.

게이트 전극 (94) 이 채널 (92) 의 상면 (90), 게이트 산화물 (95) 및 채널 (92) 위에 놓인다. 소스 (88) 는 게이트 전극 (94) 의 단부 (96) 와 자체 정렬되지만, 스페이서 (97) 의 폭만큼 편위된다.

또한, 층 (82) 내에는 드레인 (86) 근처의 영역 (98) 이 형성된다. 영역 (98) 은 게이트 전극 (94) 의 단부 (102) 와 자체 정렬된 단부 (100) 을 갖는다. 영역 (98) (이하 신장부 라 칭한다) 은 또한 소스 (88) 와 드레인 (86) 과 동일한 도전형을 갖는다. 바람직하게는, 영역 (98) 내의 도펀트 농도는 소스 (또는 드레인) 와 층 (82) 에서의 농도 사이에 있다. 본 발명의 일부 실시예에 있어서, 영역 (98) 은 드레인 (86) 의 전체 길이에 신장할 수 있다. 즉, 영역은 층 (82) 과 동일한 도펀트 농도를 갖는다. 본 발명에 따른 장치를 형성하는데 있어서, 게이트에 인접한 도핑 외형 (즉, 소스 (88), 신장부 (98), 드레인 (86) 과 층 (82) 사이) 은 점차 변경되어 게이트에 인접한 전기장의 피크가 감소되도록 한다. 그 결과, 장치에 대한 바람직한 높은 브레이크다운 전압은 과도하게 높은 저항없이 달성된다.

신장부의 적절한 길이는 보통 장치에 대한 과도한 저항없이 적절하게 높은 브레이크다운 전압 이 달성되기 위한 길이이다.

본 발명에 따른 전형적인 장치는 다음의 도핑 농도, 즉 에피택셜층에서 약하게 도핑된 N⁺ (예컨대, $10^{15} - 10^{16} / \text{cm}^3$), 약 $10^{20} / \text{cm}^3$ 의 피크 도핑이 있는 드레인과 소스 영역에서 강하게 도핑된 N⁺, 그리고 높은 브레이크다운 전압 특성과 낮은 RDS 사이의 적절한 균형을 달성하기 위하여 신장부에서 충분한 N⁺ 도핑을 포함한다.

일반적으로, 신장부에 대하여 다음의 부수적인 관찰이 실시된다. 신장부의 길이가 제품과 그 안에서의 저항성은 본 발명에 따른 신장부의 존재에 의해 기인된 부가적인 직렬저항에 비례한다. 동일한 저항에 대하여, 심지어 향상된 석판공구를 사용하더라도 편차에 기인한 길이변동이 중요하기 때문에, 지나치게 높은 저항성과 지나치게 짧은 길이는 장치의 직렬저항에 있어서 지나친 변동성을 야기한다. 한편, 지나치게 긴 신장과 함께 결부된 낮은 저항성은 감소된 브레이크다운 전압을 야기한다.

상세히 후술되는 바와 같이, 본 발명에 따른 저항, 브레이크다운 전압과 전기장 분포를 예측하기 위하여, TMA 또는 Silicaco 등의 회사가 제조한 상업상 이용하는 소프트웨어인, 2D SUPREM-IV 를 사용하여 컴퓨터 시뮬레이션을 한다. 도 7 내지 도 9 에는 장치를 평가하기 위한 2 차원 도펀트 외형이 도시되어 있다 (각각 A, B 및 C 경우).

도 10 내지 도 12 는 종래의 LDD 장치용의 게이트와 에피택셜층의 인터페이스에서의 1 차원 도핑 외형 (즉, 표 1 의 A 경우, 여기서 신장부 영역 길이는 전형적으로 $0.1 - 0.2 \mu\text{m}$ 인 스페이서 폭 보다 작음) 과, 본 발명의 두 실시예 (즉, 표 1 의 B 와 C 경우) 의 시뮬레이션 결과를 나타낸다. 제 1 실시예에 있어서, LDMOS 장치는 신장부를 가지며, 제 2 실시예에 있어서, 신장부 이식 영역은 드레인에서 제거되어 신장부내의 도핑은 에피택셜층의 수준으로 디폴트 (default) 되도록 한다.

보다 구체적으로, 도 10 내지 도 12 를 생성하는데 사용된 시뮬레이션의 파라미터는 2 미크론 게이트 길이를 갖는 장치에 대하여 15, 18 및 38 볼트 드레인 전압과, 1 미크론 드레인 신장부로는 30 nm 산화물 두께와 이를 영역이 부족한 유사한 장치이다. 이들 결과는 또한 도 13 과 표 1 에 요약되어 있다.

[표 1]

2 차원 장치 시뮬레이션에서의 성능 데이터의 요약

경우	A	B	C
BV 시뮬레이션 (볼트)	15.2	18.3	38.5
BV 측정 (볼트)	18	24.8	36.2
R_{ds} , 측정 ($m\Omega \cdot mm^2$) @ $V_{gs} = 5 V$	70	90	120 - 140
R_{ds} , 측정 ($m\Omega \cdot mm^2$) @ $V_{gs} = 10 V$	44	67	100

A 경우에, 드레인의 강하게 도핑된 영역을 스페이서 (97) 의 폭만큼 게이트 단부 (102) 에서 편위되고, 영역 (98) 은 스페이서 폭만큼 펼쳐진다 (강하게 도핑된 N^+ 영역의 축방향 확산을 감소함). 이 경우는 상기 단부에서의 급속한 도핑 외형에 기인한 최저 브레이크다운 전압에 상응하는 높은 피크 전기장으로 표시된다. 또한 강하게 도핑된 영역이 게이트의 단부쪽의 모든 통로에 신장하여 전체 직렬저항에 하향은 분포를 또한 나타낸다. 종래의 LOD MOS 트랜지스터에 있어서, 산화물 스페이서 아래의 LOD를 강하게 도핑된 드레인 (86) 과 약하게 도핑된 기판층 (82) 의 종간의 도핑 수준으로 존재하여 상기 전이영역내의 도핑 외형을 부드럽게 함으로써 피크 전기장을 낮추게 하고 브레이크다운 전압을 어느 정도 증가시키도록 도와준다. 상기 경우에 있어서 보통 $0.1 \mu m$ 를 넘지 않는 스페이서 폭에 의해 전이 영역의 폭이 제한된다. 하나의 특수 공정 흐름에 대한 시뮬레이션 브레이크다운 전압은 상응하여 측정된 약 $70 m\Omega \cdot mm^2$ 의 R_{ds} 와 18 볼트의 브레이크다운 전압과 비슷한 15 볼트이다.

B 경우에, 바람직한 형상, 신장부의 길이는 A 경우에서 처럼 스페이서 폭에 제한되지 않는다. 반면, 약하게 도핑된 신장부는 드레인 영역을 통해 신장하고, 강하게 도핑된 N^+ 드레인 영역은 영역 (98) 에 의해 사방이 둘러싸인 드레인 종간의 영역에 (동일한 마스크를 통하여) 제한된다. 약하게 도핑된 영역의 길이는 그 도핑수준을 따라 세심하게 취급되어야 한다. 한편, 상대적으로 긴 신장부는 브레이크다운 전압을 상당히 증가시키지 않고서 과도한 직렬저항을 일으킬 수 있다. 한편, 상대적으로 짧은 신장길이는 강하게 도핑된 드레인과 게이트 단부를 한정하는 마스크의 제조시에 편차의 결과로서 브레이크다운 전압에 있어서의 폭넓은 변동을 야기할 수 있다. 심지어 최고의 석판 공구의 경우에도, 약 $0.1 \mu m$ 의 편차는 흔히 일어난다. 시험하는 경우, 신장부 길이는 $1.0 \mu m$ 였고, 신장부 (98) 에서의 도핑은 브레이크다운 전압 조건이 만족하는 수준으로 감소된다. A 경우에 기술된 동일한 공정 흐름에 대한 시뮬레이션 브레이크다운 전압은 $1.0 \mu m$ 와 함께 약 18 볼트였다. 사용하는 측정 브레이크다운 전압은 약 24 볼트였다 (약 39 % 가 A 경우로부터 증가함). 예측할 수 있는 바와 같이, 브레이크다운 전압의 증가는 $70 m\Omega \cdot mm^2$ 에서 $90 m\Omega \cdot mm^2$ 의 증가된 R_{ds} 를 희생하고, A 경우와 비교하여 약 29 % 가 증가하였다.

C 경우에 있어서, 장치 구조는 브레이크다운 전압의 최대 한계점에서 시험된다. 즉, $1.0 \mu m$ 로 신장부 길이를 유지하는 동안에, 신장부의 도핑은 최소값 (즉, 층 (82) 의 백그라운드 도핑) 까지 감소된다. 이러한 조건하에서, 브레이크다운 전압의 시뮬레이션 결과와 실제 측정값은 거의 일치한다 (각각 36.2 볼트 대 38.5 볼트). $120 m\Omega \cdot mm^2$ 에서 $140 m\Omega \cdot mm^2$ 범위의 R_{ds} 의 큰 변동이 검출된다. 부분적으로, 이러한 변동은 이온 이식을 통해 정의된 바와 같이 신장부 (98) 내에서 제어가 잘 된 도핑 농도와는 반대로 에피택셜 공정의 제한 때문에 층 (82) 의 저항성의 큰 변동으로부터 야기된다. 장치 구조부는 R_{ds} 에 대하여 주요 컨트리뷰터가 될 때 편차에 대한 R_{ds} 의 민감성은 보다 표출된다. A 와 C 경우에 대한 R_{ds} 를 비교하면 신장부는 C 경우에서의 전체 R_{ds} 에서 약 50 % 가 기인함을 알 수 있다.

상기 결과에서 알 수 있는 바와 같이, 높은 브레이크다운 전압은 본 발명에 따른 장치에서의 드레인 신장부의 존재에 기인하며 게이트 근처의 드레인에 있는 감소된 피크 전기장의 결과이다.

예측할 수 있듯이, 에피택셜층의 저항성으로 기능하는, R_{ds} 에 대한 측정값에서의 일부 변동이 있다. 저전압에서의 측정과 시뮬레이션 기구에 기인되는 것으로 예측된다.

본 발명에 따른 장치는 표준 CMOS 공정으로 제조될 수 있다. 어떤 여타의 단계도 불요하며, 이와 같은 종래의 공정은 특히, 단부 신장부의 도스 (dose) 를 조절함으로써 가능성을 제공한다.

일반적으로, 견본적인 제조 기법은 다음의 단계를 포함한다. 먼저, 기판상의 산화물층 위에 게이트가 형성된 다음 마스크된다. 그 다음, 게이트의 반대 단부와 정렬된 약하게 도핑된 영역이 게이트 측의 드레인과 소스 양자 위에 드레인 신장부를 형성하도록 이식된다. 다음

은, 산화를 스페이서가 형성된다. 그 다음 상기 구조는 드레인을 형성하기 위하여 마스크되어 도포된다. 추가적인 공정으로 소스와 금속 근처의 얇은 영역의 이식을 포함할 수 있다.

발명의 효과

본 발명에 의하면, 신장부는 드레인의 농도 보다 낮은 도펀트 농도를 가지며, 신장부의 존재 때문에 장치에 대한 과도한 저항을 추가시키지 않으면서 브레이크다운 전압을 실질상 향상시키는 효과를 제공한다.

(57) 청구의 범위

청구항 1. MOSFET 장치에 있어서,

반도체 기판상에, 제 1 도전형과 기판을 가지면서 상기 제 1 도전형과 반대의 제 2 도전형을 갖는 층과,

드레인과 소스 양자는 상기 제 1 도전형을 가지면서 상기 층 보다 약하게 도핑되어 상기 층의 표면에 위치하고, 상기 소스는 상기 제 2 도전형을 갖는 상기 층내의 채널에 형성되고, 상기 드레인은 상기 층에 형성된, 상호간 이격된 드레인 및 소스와,

상기 층과 상기 채널의 표면위에 놓이면서 상기 소스와 함께 배열되는 제 1 단부를 갖는 게이트 전극과,

상기 층내에 형성되어 상기 드레인에서 신장하고, 상기 제 1 단부와 대항하는 상기 게이트의 단부와 함께 배열되는 단부와, 상기 소스와 상기 드레인의 농도 및 상기 층내의 농도와 중간인 제 1 도전형의 도펀트 농도를 갖는 영역을 포함하는 것을 특징으로 하는 MOSFET 장치.

청구항 2. MOSFET 장치에 있어서,

p 형 기판상에 형성된 n 형 영역과,

소스는 상기 p 형 기판내의 채널에 형성되고, 상기 채널은 p 형 도전성을 가지며 상기 드레인 은 상기 n 형 영역내에 형성되며, 상기 드레인과 소스 양자는 n 형 도핑이지만 상기 n 형 영역내의 농도 보다 작은 농도를 가지면서 상기 p 형 기판의 표면에 위치한, 상호간 이격된 드레인 및 소스와,

상기 n 형 영역과 상기 채널의 표면 위에 놓이면서 상기 소스와 함께 배열되는 제 1 단부를 갖는 게이트 전극과,

상기 n 형 영역과 상기 드레인의 근처에서 형성되며, 상기 제 1 단부와 대항하는 상기 게이트의 단부와 함께 자체배열되어 상기 소스와 상기 드레인의 농도와 상기 n 형 영역내의 농도 사이의 n 형 도펀트 농도를 갖는 영역을 포함하는 것을 특징으로 하는 MOSFET 장치.

청구항 3. 신장된 드레인 필드 효과형 트랜지스터 형성 방법에 있어서,

a) 제 1 도전형을 갖는 반도체 기판의 표면상의 절연층 위에 게이트를 형성하는 단계와,

b) 상기 제 1 도전형과 반대의 제 2 도전형을 갖는 기판을 상기 기판상에 형성하는 단계와,

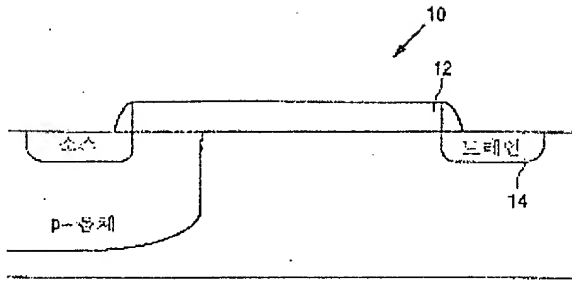
c) 상기 층상에, 상기 게이트 아래로 신장하면서 상기 제 2 도전형을 갖는 채널을 형성하는 단계와,

d) 상기 채널내에 제 1 도프 영역을 형성하고 상기 기판내에 제 2 도프 영역을 형성하며, 상기 제 1 및 제 2 도프 영역은 상기 제 1 도전형을 가지며 상기 제 2 도프 영역은 상기 기판내의 농도 보다 높은 도펀트 농도를 가지며, 상기 제 1 및 제 2 도프 영역은 상호간 이격되어 각각 상기 게이트의 단부와 함께 배열되는 단계와,

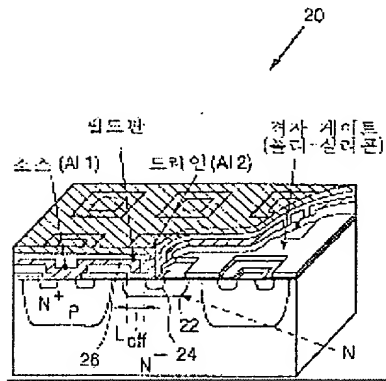
e) 상기 제 1 도프 영역을, 상기 제 1 도프 영역내의 농도 보다 높은 상기 제 1 도전형의 도펀트 농도를 갖는, 상기 채널내의 소스로 변환시키고, 그리고 상기 드레인의 농도와 상기 층의 농도 사이의 상기 제 2 도전형의 도펀트 농도를 갖는 상기 제 2 도프 영역까지 신장하는 상기 기판내에 드레인을 형성하도록 이식하는 단계를 포함하는 것을 특징으로 하는 신장된 드레인 필드 효과형 트랜지스터 형성 방법.

도면

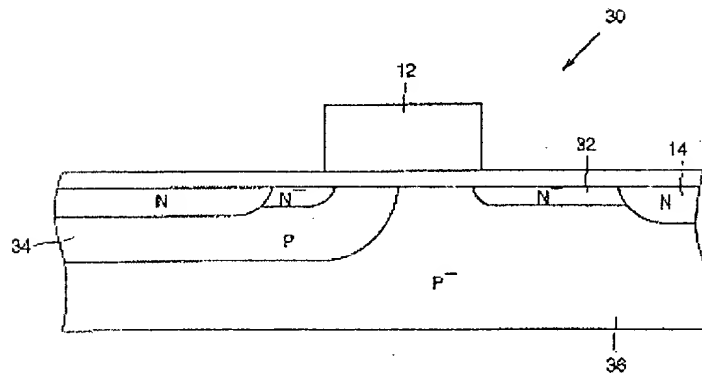
도면1



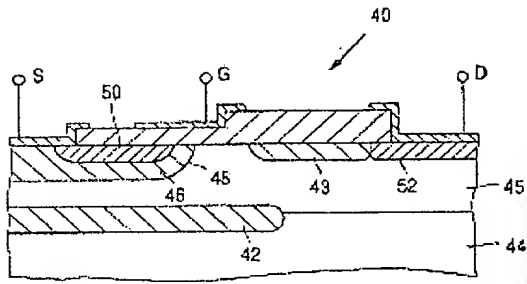
도면2



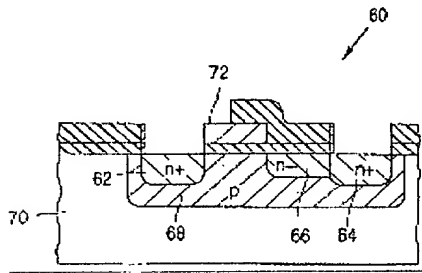
도면3



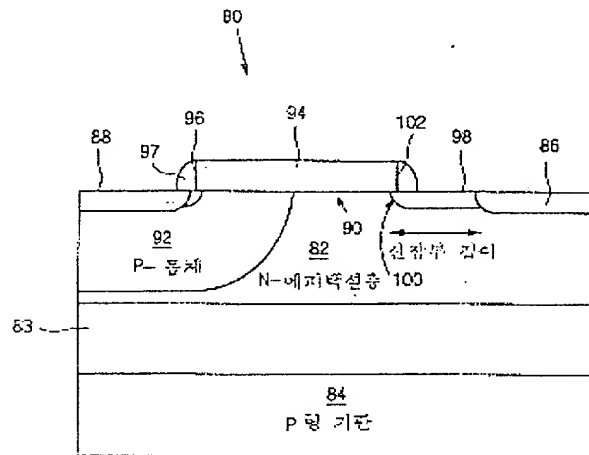
도면4

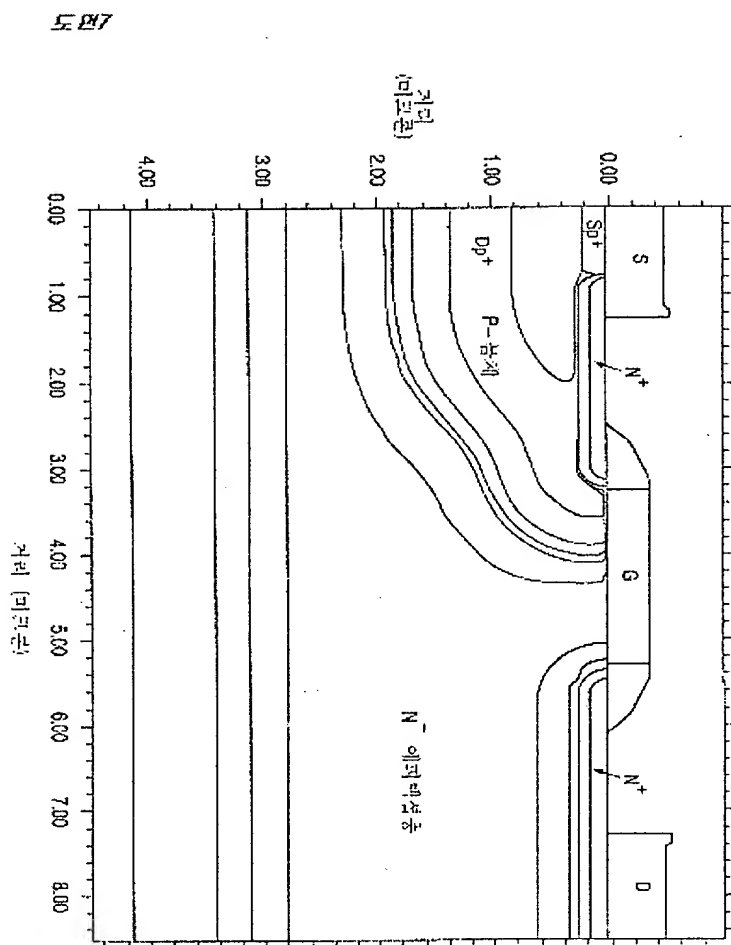


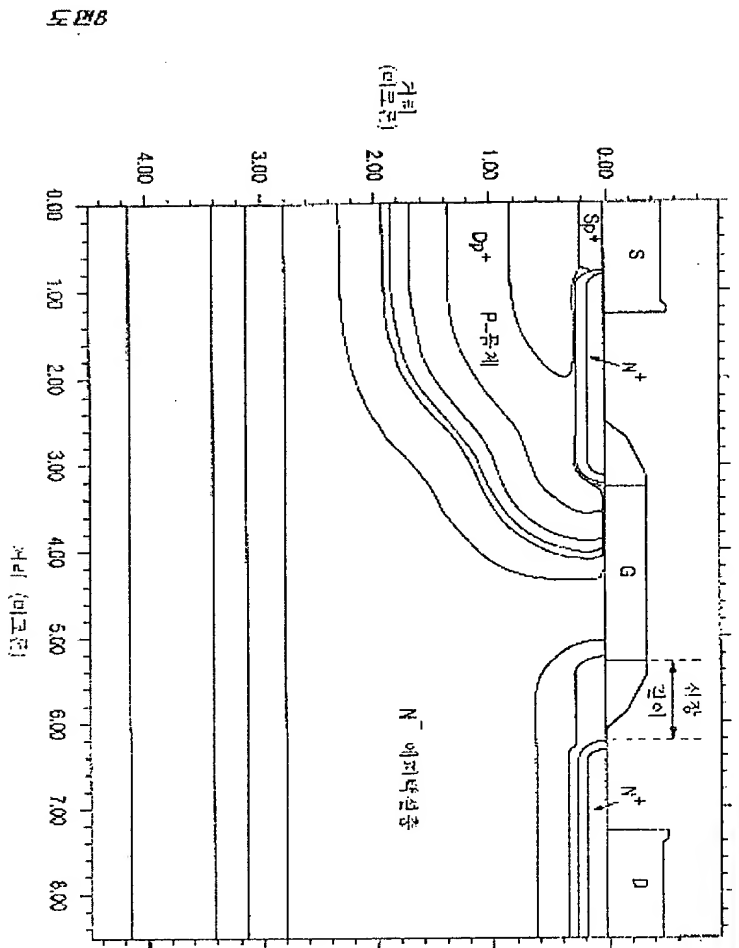
도면5

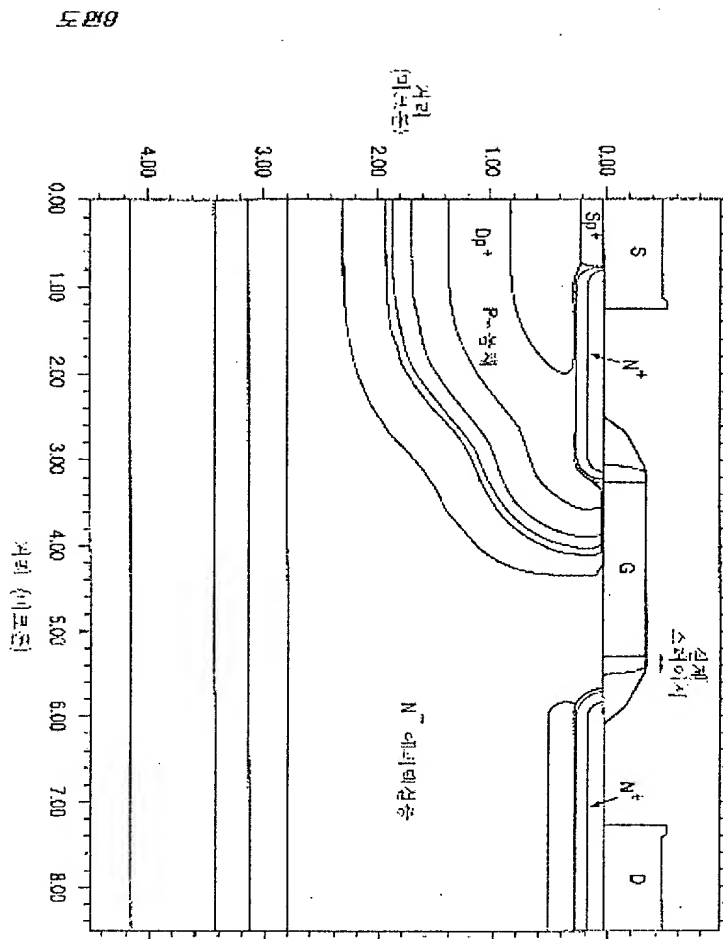


도면6

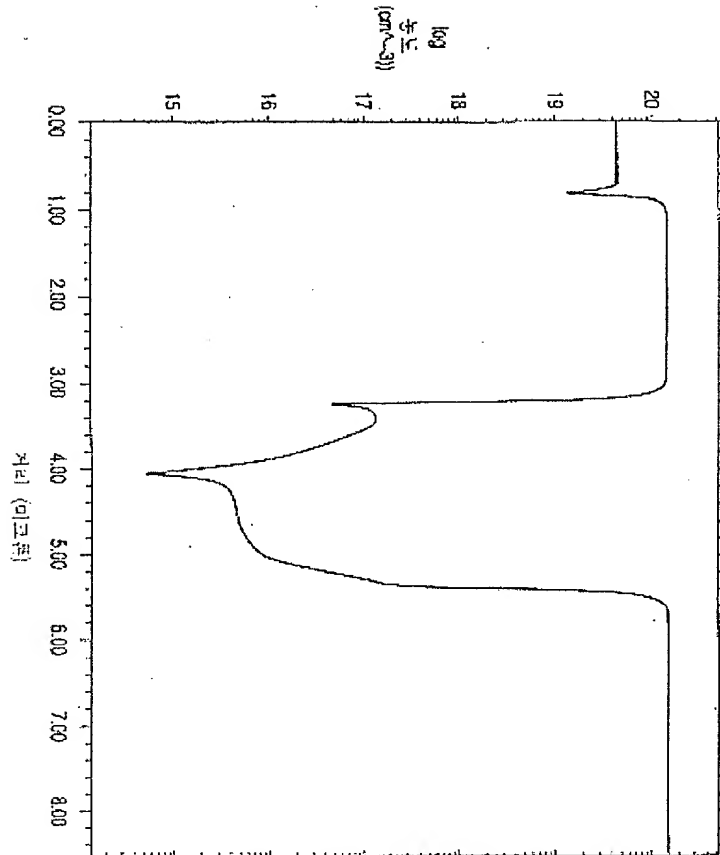


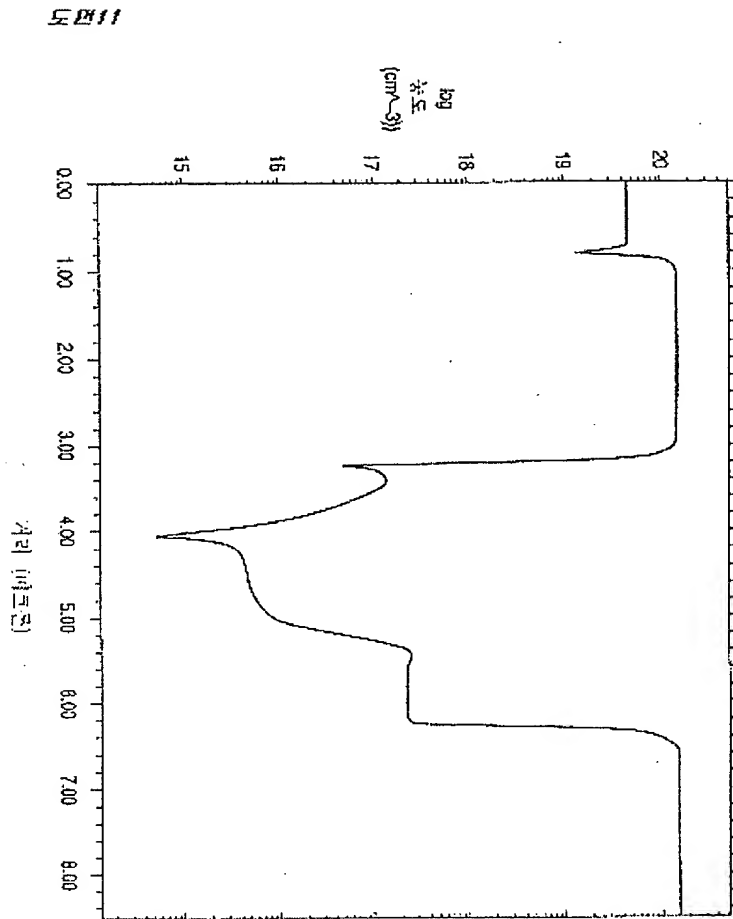




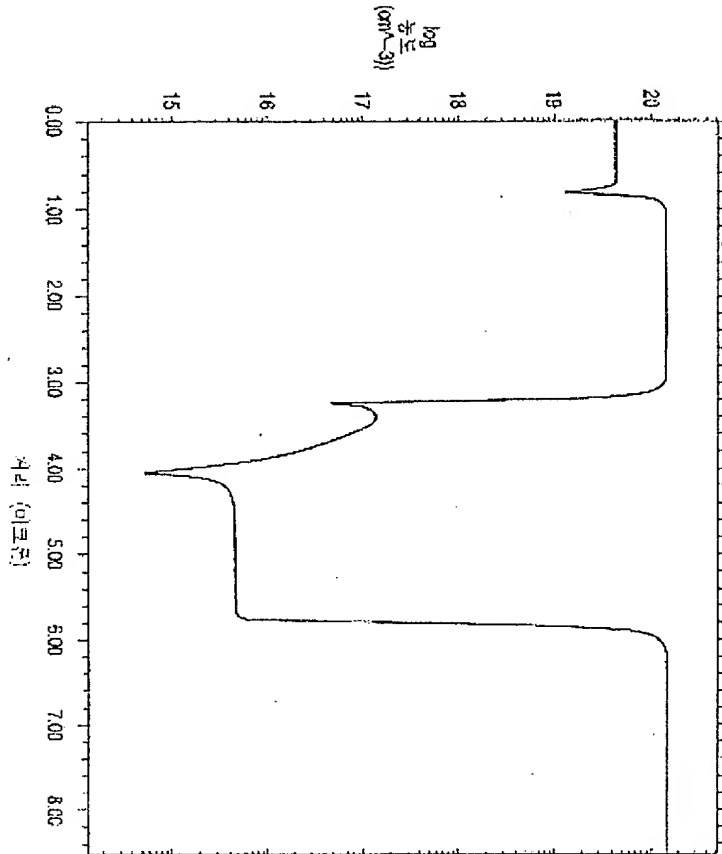


도면 10





도면12



도면 13

